GRADO EN INGENIERÍA ELECTRÓNICA INDUSTRIAL

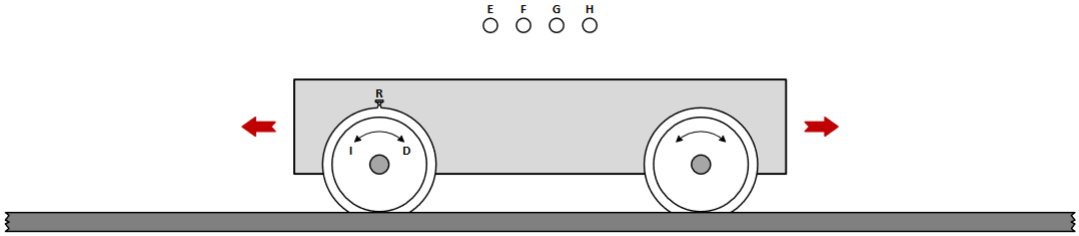
SISTEMAS DIGITALES II (segundo curso)

Examen de Julio (10/07/2024)

APELLIDOS:_____

NOMBRE: _____ DNI Nº_____

1. ***(4 puntos)*** Una vagoneta se desplaza longitudinalmente sobre dos raíles, tal como se muestra en la siguiente figura.



Para automatizar el movimiento de dicha vagoneta se han instalado los siguientes elementos:

- Cuatro pulsadores **E**, **F**, **G** y **H**, que proporcionan niveles altos mientras son presionados.
- Un sensor **R**, fijado al chasis de la vagoneta, cuya salida adopta un nivel alto mientras la rueda izquierda se encuentra en su posición de reposo, es decir, mientras la leva que posee dicha rueda está situada frente a dicho sensor, como ocurre en la figura.
- Un sistema de tracción que desplaza la vagoneta a la izquierda y a la derecha al activar sus señales de control **I** y **D**, respectivamente.
- Un reloj de 25 Mhz para implementar el sistema de control.

El control del movimiento de la vagoneta se llevará a cabo de la forma siguiente:

- El operador nunca activará varios pulsadores simultáneamente.
- Si el operador activa un pulsador mientras la vagoneta está en movimiento, dicha pulsación será ignorada. Es decir, las activaciones de los pulsadores sólo tendrán efecto si se realizan estando la vagoneta parada.
- Al activar el pulsador **E** el sistema esperará 6 segundos. Luego, si la rueda se encuentra en su posición de reposo, ésta deberá girar una vuelta completa hacia la izquierda, y si no lo está, deberá girar hacia la izquierda hasta alcanzar la posición de reposo.
- Si el operador pulsa el botón **F**, la vagoneta se desplazará hacia la izquierda mientras éste mantenga activado dicho pulsador y se detendrá inmediatamente al cesar la pulsación.
- Al activar el pulsador **G**, si la rueda se encuentra en su posición de reposo, ésta deberá girar una vuelta completa hacia la derecha, y si no lo está, deberá girar hacia la derecha hasta alcanzar la posición de reposo.
- Si el operario pulsa el botón **H**, la vagoneta se desplazará hacia la derecha mientras éste mantenga activado dicho pulsador y se detendrá inmediatamente al cesar la pulsación.

Se pide:

a) El diagrama ASM de control de la vagoneta, incluyendo los cálculos necesarios para la espera de 6 segundos. *(2,5 puntos)*

b) Código VHDL que representa el diagrama ASM. *(1,5 puntos).*

2. **(4 puntos)** La siguiente figura muestra la Unidad de Procesado de Datos de un microprocesador con arquitectura von Neumann. Como puede observarse, el bus de datos (D7-D0) es de 8 bits y el de direcciones (A15-A0) de 16 bits. Los registros visibles son los siguientes:

- **PC** (Program Counter): es de 16 bits y está formado por la concatenación de dos registros de 8 bits (PCH y PCL).
- **AC** (Acumulador): es de 8 bits.
- Además, la unidad de procesado dispone de los siguientes registros ocultos:
- **MAR** (Memory Address Register): de 16 bits, está formado por la concatenación de dos registros de 8 bits: MARH y MARL.
- **MDR** (Memory Data Register): de 8 bits, su finalidad es servir como registro intermedio entre el procesador y la memoria externa. Todo dato que entre o salga del procesador deberá ser almacenado previamente en MDR.
- **IR** (Instruction Register): es de 8 bits.
- **RT** (Registro Temporal): es de 8 bits y es utilizado para el cálculo de operaciones intermedias.

- **SUB** (Subroutine register): Es de 16 bits y sirve para guardar el valor del PC cuando se hace una llamada a una subrutina, de forma que el procesador pueda volver a la siguiente posición del programa desde donde se llamó a la subrutina.

Las líneas ENx de cada elemento permiten habilitar el elemento. Si no está habilitado, el elemento se encuentra en estado de alta impedancia.

Las posiciones de memoria tienen un ancho de 8 bits, y cada instrucción puede ocupar hasta tres posiciones consecutivas: la primera indica el código de operación, después vendrá o ningún operando, o un dato de 8 bits, o una dirección de memoria de 16 bits dividida en dos partes de 8 bits (primero la parte alta y luego la parte baja de la dirección). Se pide:

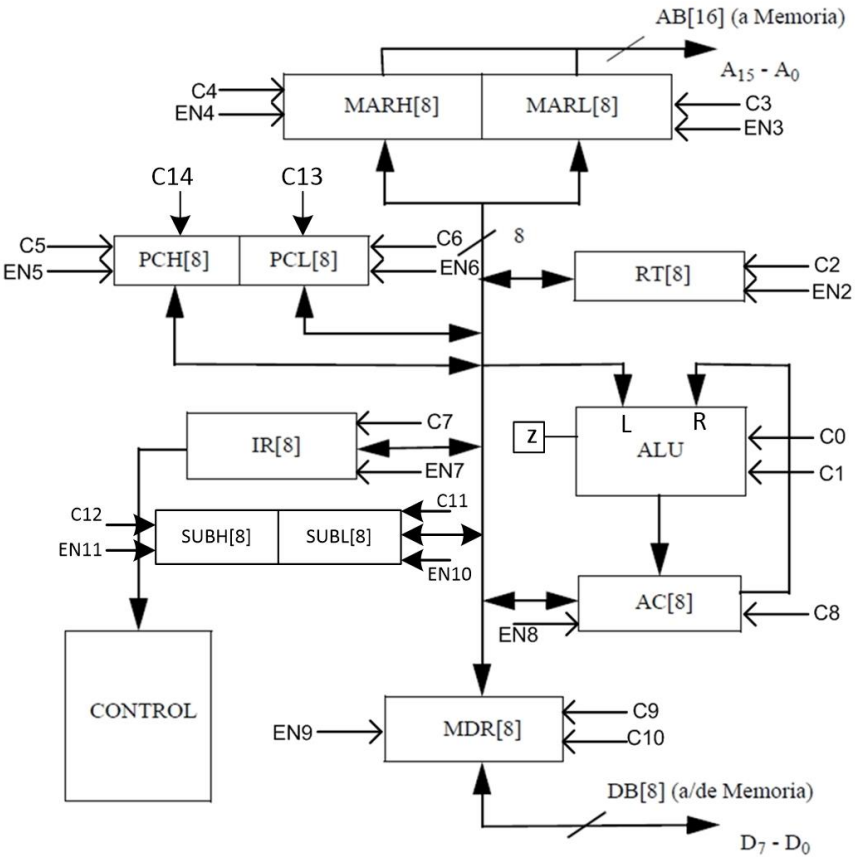
- Indicar la secuencia de microoperaciones necesarias para realizar las instrucciones de la tabla que se presenta a continuación e indicar cuales corresponden al ciclo de carga y decodificación y cuales al ciclo de ejecución. *(3.25 puntos)*
- Diseñar la unidad de control (arquitectura multiplexor – memoria – contador) y conectarla a la unidad operativa. *(0,75 puntos)*

INSTRUCCIÓN	CODIGO DE OPERACIÓN	FUNCIÓN
LDAC $dir	00001000	Carga en el acumulador (AC) el dato que se encuentra en la dirección $dir de la memoria.
ADD (dato)	00001001	Carga en el acumulador (AC) el resultado de sumar su contenido con el dato que se indica en la instrucción.
MUL3	00001010	Multiplica por tres el valor del acumulador (AC)
SUBR $dir	00001011	Salta a la subrutina que se encuentra en la dirección $dir de la memoria.
RETS	00001100	Vuelve desde subrutina.
JUMP Z $dir	00001101	Salta a la dirección $dir si la última operación dio como resultado 0 en la última operación de la ALU.
STAC $dir	00001110	Guarda en la dirección $dir el contenido del AC.
STOP	00001111	Detiene el programa.

C1 C0	*Operación de la ALU*
0 0	*L + R*
0 1	*L - R*
1 0	*L*
1 1	*R + 1*

C10 C9	*MDR*
1 0	*Carga datos desde el bus interior y se configura como salida hacia el exterior*
0 1	*Carga datos desde el bus de datos y se configura como entrada desde el exterior*

C14 C13	*PC*
0 1	*Incrementa el conjunto PCH PCL*
1 0	*Resetea el conjunto PCH PCL*



3. **(2 puntos)** Diseñar un mapa de memoria para la CPU del ejercicio anterior que sitúe los siguientes módulos:

- Un bloque EPROM de 16K posiciones desde el comienzo del mapa de memoria (entradas de control CE, activa a nivel alto).
- Un bloque RAM (RAM1) de 1K posiciones que acabe justo al final del mapa de memoria (entradas de control CE activa a nivel alto y WE activa a nivel bajo).
- Un circuito de E/S (ES1) que ocupa 2K posiciones de memoria situado justo después de la EPROM (entradas de control CE activa a nivel alto y WE activa a nivel bajo).
- Un circuito de E/S (ES2) que ocupa 2K posiciones de memoria situado a partir de la dirección C000 (entradas de control CE activa a nivel bajo y WE activa a nivel bajo).
- Un bloque RAM (RAM2) de 8K posiciones a partir del centro del mapa de memoria (entradas de control CE activa a nivel bajo y WE activa a nivel bajo).

Pueden usarse bloques de memoria de 4K posiciones de 4 bits cada una.

Se pide:

a) El esquema general y la tabla del mapa de memoria, y los cálculos realizados para conseguir las direcciones inicial y final de cada zona de memoria ocupada. *(0,5 puntos)*

b) Dibujar el diagrama lógico detallado usando un decodificador y las puertas necesarias para la decodificación del mapa. *(1 punto)*

c) Escribir un módulo VHDL que sustituya la función del decodificador y las puertas del apartado anterior.*(0,5 puntos)*