GRADO EN INGENIERÍA ELECTRÓNICA INDUSTRIAL

SISTEMAS DIGITALES II

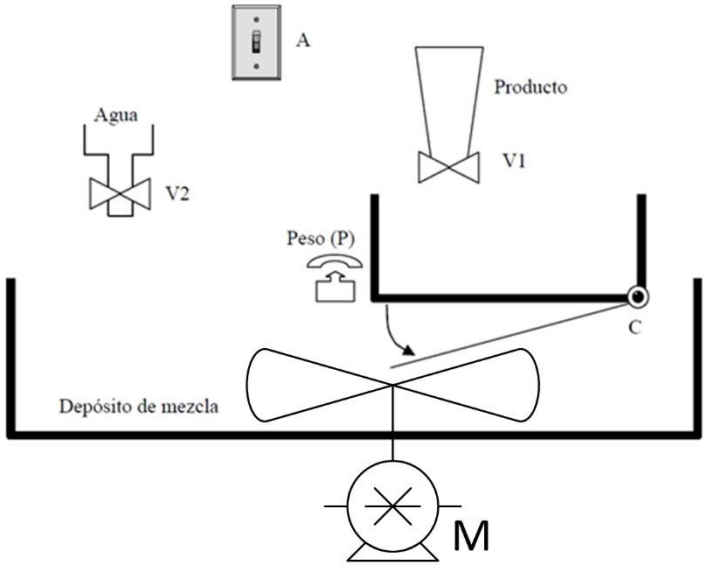
Examen de Septiembre (9/9/2022)

APELLIDOS: _____

NOMBRE: _____ DNI Nº: _____

1. **(3,5 puntos)**. Se pretende realizar una mezcla de un determinado producto y agua. El proceso de mezcla se inicia al pulsar **A** (A es un PULSADOR) y se realiza de la siguiente forma:
- Se permite salir agua a través de la válvula **V2** durante un tiempo **T1 = 10 s**.
- A continuación, el producto es vertido sobre un depósito intermedio mediante una válvula **V1** hasta que alcanza un peso **P**.
- Luego, el producto pesado se echa en el depósito de mezcla a través de una compuerta activada por el motor **C**. El tiempo de descarga es **T2 = 5 s**.
- Finalmente, en el depósito de mezcla se activa un motor M que debe mover la mezcla durante 10 segundos.

Se dispone de un reloj de 10 Mhz.



Realizar el sistema de control del proceso. Se pide:

a) Diagrama ASM de funcionamiento del sistema de control *(2 puntos).*
b) Módulo VHDL que represente el diagrama ASM diseñado *(1,5 puntos).*

2. **(3,5 puntos)** Resolver el problema anterior mediante un microcontrolador *picoBlaze*. En este caso, se dispone de un reloj de 50 Mhz y de dos contadores C10s y C5s que tienen cada uno las siguientes entradas y salidas:

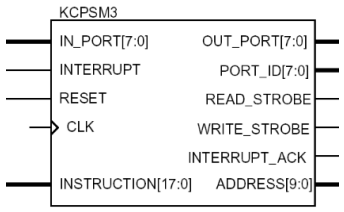
- **CLK**, activo a nivel alto.
- **Reset**: activo a nivel alto y que pone a 0 el interior del contador.
- **INICIO_CUENTA**: Cuando se aplica un ´1´a esta entrada, el contador cuenta.
- **Fin_de_cuenta_10s** (en el contador C10s) que se pone a '1' cuando el contador llega a la cuenta de 10 segundos.
- **Fin_de_cuenta_5s** (en el contador C5s) que se pone a '1' cuando el contador llega a la cuenta de 5 segundos.

Se pide:

a) Diagrama hardware del sistema de control diseñado con un microcontrolador picoBlaze, detallando **bien** las conexiones, el uso de los contadores y las entradas y salidas, así como la memoria de programa. *(1 punto).*

b) Programa en ensamblador comentado para el picoBlaze *(2,5 puntos).*

Instrucción				Comentario
ADD sX, sY	ADD sX, kk	ADDC sX, sY	ADDC sX, kk	Operaciones sin y con acarreo (finalizadas en C)
SUB sX, sY	SUB sX, kk	SUBC sX, sY	SUBC sX, kk	
SL0 sX	SL1 sX	SLX sX	SLA sX	Desplazamientos introduciendo un 0, 1, el último elemento y el bit de acarreo
SR0 sX	SR1 sX	SRX sX	SRA sX	
RL sX	RR sX			Rotación
AND sX, sY	AND sX, kk			Instrucciones lógicas
OR sX, sY	OR sX, kk			
XOR sX, sY	XOR sX, kk			
COMP sX, sY	COMP sX, kk			Instrucciones de verificación
TEST sX, sY	TEST sX, kk			
LOAD sX, sY	LOAD sX, kk			Movimiento de registros
IN sX, (sY)	IN sX, kk			Operaciones con puertos
OUT sX, (sY)	OUT sX, kk			
FETCH sX, (sY)	FETCH sX, kk			Operaciones con memoria
STORE sX, (sY)	STORE sX, kk			
JUMP etiq	JUMP (N)Z, etiq	JUMP (N)C, etiq		Instrucciones de saltos
CALL etiq	CALL (N)Z, etiq	CALL (N)C, etiq		
RET	RETI			
EINT				Habilitación Y deshabilitación de interrupciones
DINT				



3. **(3 puntos)** Una CPU cuenta con un bus de datos de 8 bits y un bus de direcciones de 16 bits. Analizar el subsistema de memoria mostrado en la figura, determinando el mapa de memoria. Si es posible, añadir 8KB de ROM que terminen en la posición 0xFFFF, usando chips de ROM de 2Kx4 con señal CS activa a nivel alto.

Se pide:

a) Determinar el mapa de memoria de la figura, indicando direcciones inicial y final (en hexadecimal) de cada módulo. *(0,5 puntos)*

b) Obtener ahora la tabla con las direcciones inicial y final del nuevo mapa (en binario y en hexadecimal), incluyendo la ROM que se pide. (0,75 puntos)

c) Dibujar el mapa de memoria de la nueva configuración, indicando direcciones inicial y final (en hexadecimal) de cada módulo. (0,25 puntos)

d) Dibujar el diagrama lógico completo incluyendo la ROM. *(1 punto)*

e) Escribir un módulo VHDL que sustituya el circuito de decodificación del mapa (para realizarlo mediante una FPGA). *(0,5 puntos).*

