GRADO EN INGENIERÍA ELECTRÓNICA INDUSTRIAL

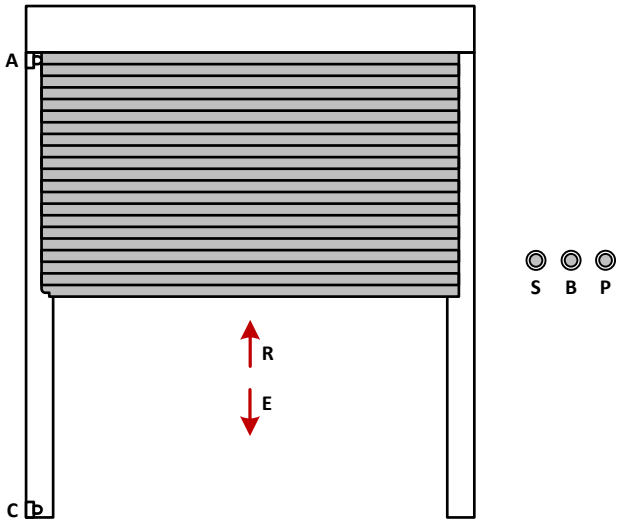
SISTEMAS DIGITALES II (segundo curso)

Examen de Octubre (9/10/2023)

APELLIDOS:_____

NOMBRE: _____ DNI Nº_____

1. ***(3 puntos)*** Se desea automatizar el funcionamiento de una persiana eléctrica como la mostrada en la siguiente figura.



Para ello, se han instalado los siguientes elementos:

- Tres pulsadores **S**, **B** y **P** que generan niveles altos al ser accionados por el usuario de la persiana. ***Se supone que el usuario nunca accionará varios de estos botones a la vez***.
- Un final de carrera **A** que produce un nivel alto mientras la persiana no se encuentra en su posición más alta.
- Un final de carrera **C** que produce un nivel alto cuando la persiana se encuentra totalmente cerrada.
- Un sistema de tracción que recoge la persiana cuando se activa la señal **R** y la extiende cuando se activa la señal **E**.
- Un reloj de 10 MHz.

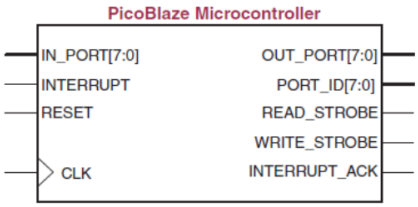
El funcionamiento de la persiana debe ser el siguiente:

- Si la persiana se encuentra totalmente bajada y el usuario pulsa el botón **S** ésta comenzará a subir.
- Si la persiana está subiendo y antes de llegar a arriba el usuario pulsa el botón **B,** ésta comenzará a bajar después de una pausa de 2 segundos.
- Si la persiana está subiendo y antes de llegar a arriba el usuario pulsa el botón **P** ésta se detendrá.
- Si la persiana se encuentra totalmente subida y el usuario pulsa el botón **B** ésta comenzará a bajar.
- Si la persiana está bajando y antes de llegar abajo el usuario pulsa el botón **S,** ésta comenzará a subir después de una pausa de 2 segundos.
- Si la persiana está bajando y antes de llegar abajo el usuario pulsa el botón **P,** ésta se detendrá.
- Si la persiana se encuentra parada en una posición intermedia y el usuario pulsa el botón **S** ésta comenzará a subir.
- Si la persiana se encuentra parada en una posición intermedia y el usuario pulsa el botón **B** ésta comenzará a bajar.
- Si la persiana en su movimiento alcanza alguna de sus posiciones límites (superior o inferior), ésta se detendrá automáticamente.

Se pide:

a) Diagrama ASM de control *(2,5 puntos).*
b) Describir el circuito mediante VHDL *(1,5 puntos).*
c) Diseñar el esquema hardware de un circuito basado en el microcontrolador *Picoblaze* que permita resolver este circuito de control. Indicar, además del diagrama lógico, la programación en ensamblador de los primeros 3 bloques ASM obtenidos en el apartado **a**. (*1,5 puntos*).

Instrucción				Comentario
ADD sX, sY	ADD sX, kk	ADDC sX, sY	ADDC sX, kk	Operaciones sin y con acarreo (finalizadas en C)
SUB sX, sY	SUB sX, kk	SUBC sX, sY	SUBC sX, kk	
SL0 sX	SL1 sX	SLX sX	SLA sX	Desplazamientos introduciendo un 0, 1, el último elemento y el bit de acarreo
SR0 sX	SR1 sX	SRX sX	SRA sX	
RL sX	RR sX			Rotación
AND sX, sY	AND sX, kk			Instrucciones lógicas
OR sX, sY	OR sX, kk			
XOR sX, sY	XOR sX, kk			
COMP sX, sY	COMP sX, kk			Instrucciones de verificación
TEST sX, sY	TEST sX, kk			
LOAD sX, sY	LOAD sX, kk			Movimiento de registros
IN sX, (sY)	IN sX, kk			Operaciones con puertos
OUT sX, (sY)	OUT sX, kk			
FETCH sX, (sY)	FETCH sX, kk			Operaciones con memoria
STORE sX, (sY)	STORE sX, kk			
JUMP etiq	JUMP (N)Z, etiq	JUMP (N)C, etiq		Instrucciones de saltos
CALL etiq	CALL (N)Z, etiq	CALL (N)C, etiq		
RET	RETI			
EINT				Habilitación Y deshabilitación de interrupciones
DINT				



2. Una CPU dispone de un bus de direcciones de 20 bits y un bus de datos de 16 bits. Se quiere dotar a esta CPU de una memoria con las siguientes características:
   - (512 K x 16) de memoria RAM. A partir de la dirección inicial (0).
   - (256 K x 16) de memoria ROM. A continuación de la RAM.
   - Un módulo de E/S de 16 K x 16 que termine en la última dirección de memoria.

   Diseñar la memoria con el menor número de pastillas, sabiendo que disponemos de las siguientes:

Pastillas de memoria ROM	*Pastillas de memoria RAM*
128 K x 1 *64 K x 8* *128 K x 8*	*128 K x 1* *256 K x 8*

   Se pide:

   a) Comprobar que existe solución (¿caben RAM, ROM y E/S en el espacio de direccionamiento de la CPU?). *(0.5 puntos).*

   b) Calcular los módulos de memoria necesarios en todos los casos, y elegir el más favorable para la implementación final. *(0.5 puntos).*

   c) Diseñar el mapa de memoria. *(1 punto).*

   d) Escribir la tabla de direccionamiento con todos los elementos del mapa de memoria. *(1 punto).*

   e) Dibujar el diagrama lógico del mapa de memoria, usando para la decodificación un decodificador y puertas lógicas. *(1 punto).*

   f) Se desea sustituir el decodificador y las puertas lógicas por una pequeña FPGA que realice las labores de decodificación. Diseñar el módulo VHDL de programación de la FPGA. *(1 punto).*