GRADO EN INGENIERÍA ELECTRÓNICA INDUSTRIAL

SISTEMAS DIGITALES II

Examen de Julio (problemas) (18/07/2025)

APELLIDOS: _____

NOMBRE: _____ DNI Nº: _____

1. (4 puntos). En el parque de atracciones *Ponchilandia* se desea colocar una máquina expendedora que vende **un solo producto** (un poncho para las atracciones acuáticas) a un precio fijo de **6 ponchis** (moneda del parque). Los usuarios compran previamente las fichas que quieren para usarlas en las distintas atracciones del parque. Es necesario diseñar el controlador digital de la máquina expendedora para que funcione de la siguiente forma:

- **a)** Acepta fichas de 1, 2 y 5 ponchis.
- **b)** Devuelve el cambio si se excede el importe del producto.
- **c)** Entrega el producto cuando se alcanza o supera el precio.
- **d)** Solo entrega un producto.
- **e)** Una vez entregado el producto y el cambio, la máquina quedará preparada de nuevo para que vuelva a ser utilizada.

La máquina expendedora dispone ya de un lector de fichas, que proporciona las salidas que se muestran en la siguiente tabla (activas a nivel alto). Entre cada ficha que se inserta, hay un tiempo (no determinado) donde la señal correspondiente vuelve a cero. Sólo puede insertarse una ficha a la vez.

Señal	**Significado**
F1	Ficha de un ponchi insertada
F2	Ficha de dos ponchis insertada
F5	Ficha de cinco ponchis insertada

Las salidas que se deben proporcionar por parte del controlador a diseñar son las siguientes (todas ellas deben activarse durante sólo un ciclo de reloj para que el mecanismo expendedor funcione correctamente):

Salida	**Descripción**
ENTREGAR	Entrega el producto
D1	Devuelve 1 ficha de un ponchi
D2	Devuelve 1 ficha de dos ponchis
D5	Devuelve 1 ficha de cinco ponchis

Si hay que devolver más de una ficha, se hacen seguidas una de otra.

Se pide:

a) Diagrama ASM de funcionamiento del controlador *(2,5 puntos).*

b) Módulo VHDL que represente el diagrama ASM diseñado *(1,5 puntos).*

2. (2,5 puntos) Se desea diseñar un sistema hardware que incluya un procesador embebido *picoBlaze* para el problema 1 de este examen.

Se pide:

- Diagrama hardware del sistema de control diseñado con el microcontrolador *picoBlaze*, detallando **bien** las conexiones, las entradas y salidas, así como la memoria de programa. *(1 punto).*

- *(1,5 puntos)* Escribir un programa en ensamblador (**debidamente comentado**) que codifique los primeros 5 estados del diagrama ASM obtenido en el problema anterior.

Instrucción				Comentario
ADD sX, sY	ADD sX, kk	ADDC sX, sY	ADDC sX, kk	Operaciones sin y con acarreo (finalizadas en C)
SUB sX, sY	SUB sX, kk	SUBC sX, sY	SUBC sX, kk	
SL0 sX	SL1 sX	SLX sX	SLA sX	Desplazamientos introduciendo un 0, 1, el último elemento y el bit de acarreo
SR0 sX	SR1 sX	SRX sX	SRA sX	
RL sX	RR sX			Rotación
AND sX, sY	AND sX, kk			Instrucciones lógicas
OR sX, sY	OR sX, kk			
XOR sX, sY	XOR sX, kk			
COMP sX, sY	COMP sX, kk			Instrucciones de verificación
TEST sX, sY	TEST sX, kk			
LOAD sX, sY	LOAD sX, kk			Movimiento de registros
IN sX, (sY)	IN sX, kk			Operaciones con puertos
OUT sX, (sY)	OUT sX, kk			
FETCH sX, (sY)	FETCH sX, kk			Operaciones con memoria
STORE sX, (sY)	STORE sX, kk			
JUMP etiq	JUMP (N)Z, etiq	JUMP (N)C, etiq		Instrucciones de saltos
CALL etiq	CALL (N)Z, etiq	CALL (N)C, etiq		
RET	RETI			
EINT				Habilitación Y deshabilitación de interrupciones
DINT				

3. **(3,5 puntos)** Diseñar un mapa de memoria para una CPU con bus de datos de 16 bits y con un espacio de direccionamiento máximo de 256K posiciones que sitúe los siguientes módulos, seguidos y en el orden indicado, desde la posición inicial (0h):

- Un circuito de E/S (E/S1) que ocupa 32K posiciones de memoria y comienza al principio del mapa de memoria (entradas de control CE activa a nivel bajo y RW activa a nivel bajo).
- Un circuito de E/S (E/S2) que ocupa 64K posiciones de memoria (entradas de control CE activa a nivel bajo y RW activa a nivel bajo).
- Un bloque RAM de 48K posiciones (entradas de control CE activa a nivel alto y RW activa a nivel bajo).

  Además, se añadirá un bloque PROM de 64K posiciones que termina al final del mapa de memoria (entradas de control CE, activa a nivel alto).

  Se pide:
  - La tabla del mapa de memoria, dirección inicial y final de cada módulo en hexadecimal. *(1 punto)*
  - Diagrama lógico simplificado del circuito. *(1 punto)*
  - Sustituir el circuito de decodificación por una FPGA. Diseñar el módulo VHDL que realiza la misma tarea que el circuito de decodificación del mapa de memoria. *(1,5 puntos)*

  Los bloques PROM disponibles son de 32Kx16. Los bloques RAM disponibles son de 16Kx8.