GRADO EN INGENIERÍA ELECTRÓNICA INDUSTRIAL

SISTEMAS DIGITALES II

Examen de Julio. 7/07/23

APELLIDOS:_____

NOMBRE:_____ DNI Nº:_____

1. (3 puntos) Diseñar un procesador de propósito específico que recibe desde el exterior dos números binarios sin signo de 4 bits cada uno y que los multiplique mediante el método de sumas sucesivas. Por ejemplo, para multiplicar 5 por 4, el sistema digital suma el multiplicando 4 veces: 5 + 5 + 5 + 5 = 20. Mantener el multiplicando en un registro denominado BR, el multiplicador en el registro AR y el producto en el registro PR. Se pide:

- Diseñar una unidad operativa que tenga capacidad para realizar las operaciones necesarias. *(1,5 puntos)*
- Escribir un microprograma de transferencia de registros para la unidad de control. *(0,75 puntos)*
- Diseñar una unidad de control microprogramada para el procesador. *(0,75 puntos)*

2. (3 puntos) Diseñar el sistema del problema anterior mediante un diagrama ASM exclusivamente. *(1,5 puntos)*

- Escribir el código VHDL del diagrama ASM. *(1,5 puntos)*

3. (4 puntos)

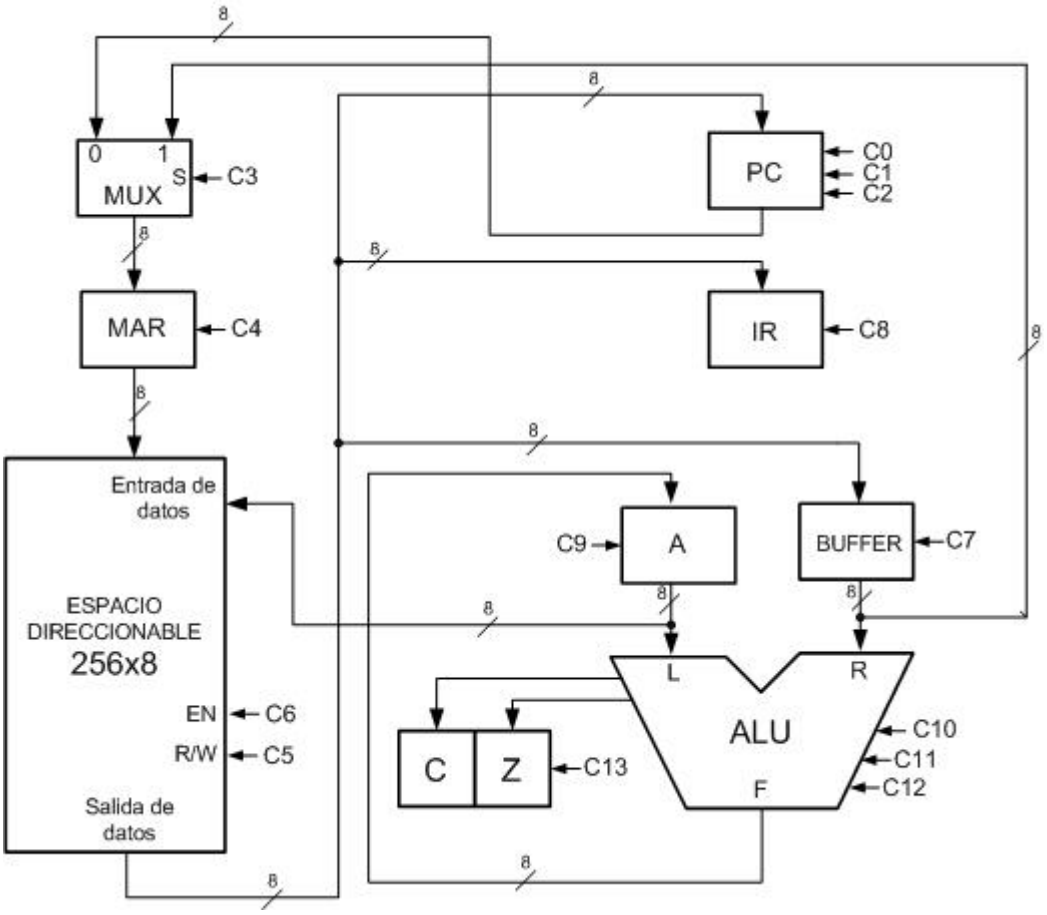
a) En la figura adjunta se muestra una unidad operativa unida a un espacio de direccionamiento de 256 posiciones. Se pide diseñar una CPU (unidad de control y microprograma simbólico) que implemente el juego de instrucciones de la tabla. *(2,5 puntos)*

b) Diseñar un mapa de memoria para la CPU diseñada que sitúe los siguientes módulos:

- Un bloque EPROM de 32 posiciones desde el comienzo del mapa de memoria (entradas de control CE, activa a nivel alto).
- Un bloque RAM (RAM1) de 128 posiciones que acabe justo al final del mapa de memoria (entradas de control CE activa a nivel alto y WE activa a nivel bajo).
- Un circuito de E/S que ocupa 16 posiciones de memoria justo detrás de la EPROM (entradas de control CE activa a nivel bajo y WE activa a nivel bajo).
- Un bloque RAM (RAM2) de 16 posiciones a partir de la posición 40h (entradas de control CE activa a nivel bajo y WE activa a nivel bajo).

  Pueden usarse bloques de memoria de un máximo de 64 posiciones de 4 bits cada una. Se pide la tabla del mapa de memoria, dibujar el diagrama lógico detallado y escribir un módulo VHDL que implemente el circuito necesario para la decodificación de direcciones.*(1,5 puntos)*

Nemónico	***Cod. Operación***	***Descripción***
LDA <dir>	00000001	Carga en acumulador el contenido de la dirección <dir>.
INC <dir>	00000010	Incrementa el valor del contenido de la dirección <dir> en 1.
MUL2 <dir>	00000011	Multiplica por 2 el contenido de la dirección <dir>.
SUB <dir1> <dir2> <dir3>	00000100	Restar <dir1>-<dir2> y colocar el resultado en <dir3>
STOP	00000101	Detener CPU



C10	C11	C12	F
0	0	0	0
0	0	1	R
0	1	0	L + R
0	1	1	L – R
1	0	0	L + 1
1	0	1	ASL(L)
1	1	0	L OR R
1	1	1	NOT L

C0	C1	C2	PC
1	X	X	RESET
0	0	1	CUENTA
0	1	0	CARGA PARALELA
0	1	1	NO PERMITIDO

Importante

1. El planteamiento de cada ejercicio es clave y por tanto debe contestarse de forma correcta. No se puntuarán ejercicios en los que la respuesta a dicha cuestión no sea la adecuada.